



МИКРОЭЛЕКТРОНИКА НАРОДНОМУ ХОЗЯЙСТВУ



МИКРОСХЕМЫ СЕРИИ КР1802

МИКРОПРОЦЕССОРНЫЙ КОМПЛЕКТ БИС ТТЛШ

Серия КР1802 представляет собой микропроцессорный комплект (МПК) интегральных микросхем, состоящий из устройств обработки данных, запоминающих и интерфейсных схем.

МПК предназначен для построения устройств обработки данных, СОЗУ процессоров и многоадресных ОЗУ радиоэлектронной аппаратуры, памяти с интегрированными возможностями, однопроцессорных и многопроцессорных вычислительных систем со скоростью передачи данных до 2 М байт/с с частотой выдачи управляющих сигналов до 10 МГц, множительных и делительных устройств повышенной разрядности, систем с прямым и обратным преобразованием параллельно-последовательной информации.

В СОСТАВ СЕРНИ ВХОДЯТ МИКРОСХЕМЫ

- КР1802ИР1 — Двухадресный регистр общего назначения на 64 бита (16×4)
 КР1802ВС1 — Микропроцессорная секция на 8 разрядов
 КР1802ВВ1 — Схема обмена информацией
 КР1802ВВ2 — Схема интерфейса
 КР1802ВР1 — Арифметический расширитель на 16 разрядов
 КР1802ВР2 — Схема умножителя — делителя 8×8

ОБЩИЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ МПК БИС

- Напряжение источника питания, В 5±5%
- Температура окружающей среды, °С —10—+70
- Выходное напряжение логического нуля, не более, В 0,5
- Выходное напряжение логической единицы, не менее, В 2,4
- Предельное напряжение питания (кратковременно в течение 5 мс), не более, В 7
- Предельное напряжение на входах и на выходах закрытой микросхемы, не более, В 5,25

	КР1802ИР1	КР1802ВС1	КР1802ВВ1	КР1802ВВ2	КР1802ВР1	КР1802ВР2
Ток потребления мА, не более	160	280	280	250	280	300
Время задержки распространения сигнала (вход-выход)	55	140	60		120	
Обобщенный динамический параметр					Темп обмена 2М байт/сек.	Время умножения 8×8 разр. 800 нсек.

Корпуса пластмассовые с четырехрядным (двухрядным для КР1802ИР1) вертикальным расположением выводов.

КОНСТРУКТИВНОЕ ОФОРМЛЕНИЕ

Тип ИС	Корпус
КР1802ИР1	239.24-2
КР1802ВС1	2206.42-1
КР1802ВВ1	2206.42-1
КР1802ВВ2	2206.42-1
КР1802ВР1	2206.42-1
КР1802ВР2	2206.42-1

МИКРОСХЕМА КР1802ИР1

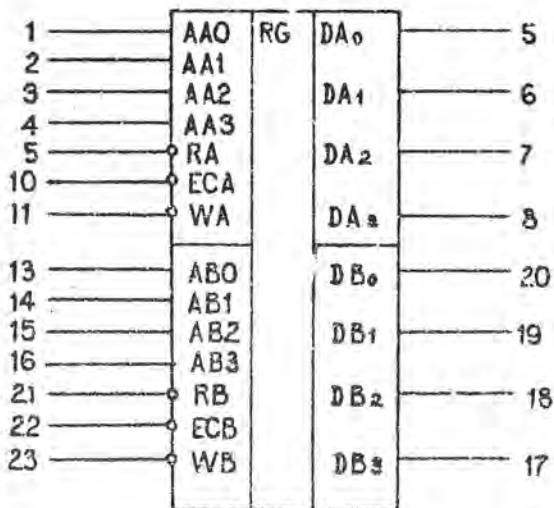
ДВУХАДРЕСНЫЙ РЕГИСТР ОБЩЕГО НАЗНАЧЕНИЯ ЕМКОСТЬЮ 64 БИТ

Микросхема КР1802ИР1 (РОН) представляет собой двухадресную память общего назначения, которая имеет два 4-х разрядных канала для приема и выдачи информации. РОН состоит из матрицы 16×4, 2-х дешифраторов выбора необходимого регистра соответственно по каналам А и В; 2-х устройств управления режимом работы каналов А и В, и бинаправленного усилителя, включающего 8 усилителей считывания с выходами типа 3 состояния, 8 усилителей записи.

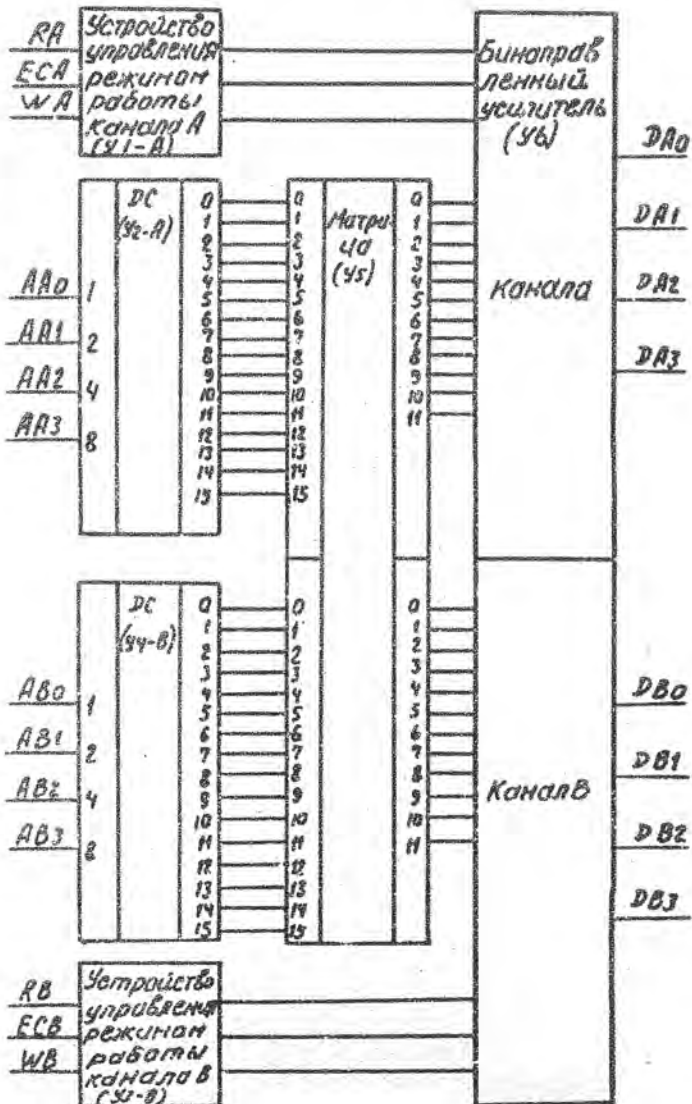
РОН обеспечивает любые сочетания одновременного или раздельного считывания и записи информации по каналам А и В. РОН предназначен для построения СОЗУ процессоров и многоадресных ОЗУ средств вычислительной техники.

УСЛОВНОЕ ОБОЗНАЧЕНИЕ И НАЗНАЧЕНИЕ ВЫВОДОВ

- 1—4 — входы адреса канала А
- 5—8 — входы/выходы информации канала А
- 9 — вход считывания информации
- 10 — вход разрешения канала А
- 11 — вход записи канала А
- 12 — общий
- 13—16 — входы адреса канала В
- 17—20 — входы/выходы информации канала В
- 21 — вход считывания канала В
- 22 — вход разрешения канала В
- 23 — вход записи канала В
- 24 — питание.



СТРУКТУРНАЯ СХЕМА

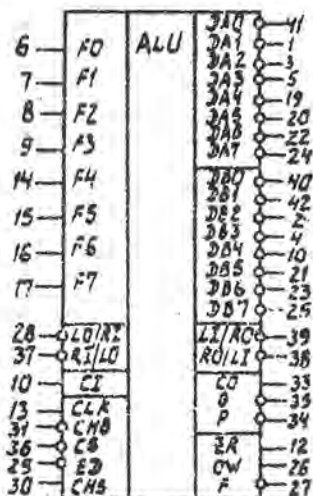


МИКРОСХЕМА КР1802ВС1

МИКРОПРОЦЕССОРНАЯ СЕКЦИЯ НА 8 РАЗРЯДОВ

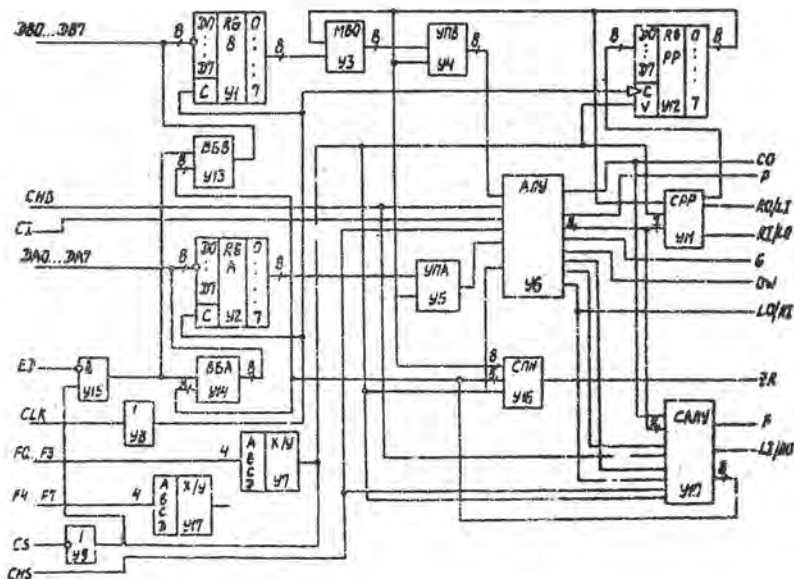
БИС КР1802ВС1 представляет собой 8-ми разрядную наращиваемую секцию устройства обработки данных и предназначена для выполнения следующих операций: арифметическое сложение и вычитание в дополнительном коде; логические операции конъюнкции, дизъюнкции, инверсии и сложение по модулю 2; арифметические, логические и циклические сдвиги вправо и влево на 1 разряд. При выполнении перечисленных операций возможно производить многочисленные операции маскирования содержимым регистра расширения отдельных разрядов входных данных. По результату операции вырбатываются признаки равенства нуля результата и признак переполнения (в операциях сложения, вычитания и в операции сдвига влево). При соединении нескольких БИС можно производить последовательный и ускоренный перенос, операции обработки байтов, широкий набор операций сдвигов, включая и расширенные сдвиги, т. е. сдвиг двойного слова, совместно с регистром расширения без внешних дополнительных схем с выработкой признаков результата только в выбранных кристаллах.

УСЛОВНОЕ ОБОЗНАЧЕНИЕ И НАЗНАЧЕНИЕ ВЫВОДОВ



- 1, 3, 5, 18, 20, 22, 24, 41 — вход/выход информации А, разряды 0...7
 2, 4, 19, 21, 23, 25, 40, 42 — вход/выход информации В, разряды 0...7
 6...9, 14—17 — вход кода микрокоманды, разряды 0...7
 10 — вход переноса
 11 — общий
 12 — выход признака равенства нуля результата
 13 — вход синхронизации
 26 — выход признака переполнения
 27 — выход сдвигаемых разрядов АЛУ или выходного переноса СО
 28 — выход сдвига влево, вход сдвига вправо САЛУ
 29 — вход разрешения выдачи информации
 30 — вход выборки старшего кристалла
 31 — вход управления инверсией старшего разряда
 32 — питание
 33 — выход переноса
 34, 35 — выходы ускоренного переноса
 36 — вход выборки кристалла
 37 — вход сдвига вправо/выход сдвига влево СРР
 38 — выход сдвига вправо/вход сдвига влево СРР
 39 — вход сдвига влево/выход сдвига вправо САЛУ или перенос из 3-го разряда АЛУ.

СТРУКТУРНАЯ СХЕМА

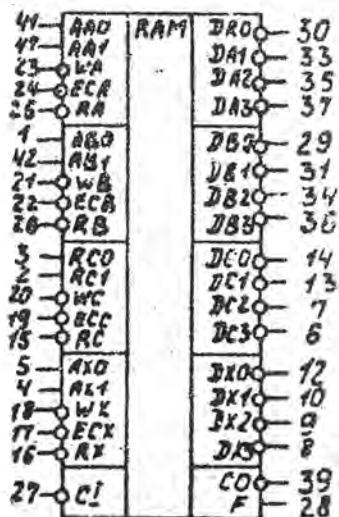


МИКРОСХЕМА КР1802ВВ1

СХЕМА ОБМЕНА ИНФОРМАЦИЕЙ

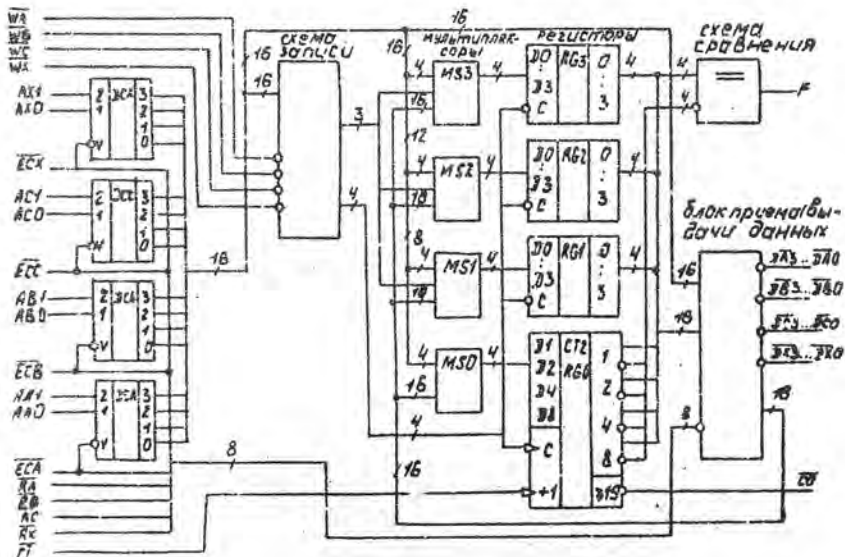
БИС обмена информацией (БИС ОИ) КР1802ВВ1 является 4-х адресной памятью, которая имеет четыре 4-х разрядных регистра для приема и выдачи информации. БИС ОИ предназначена для использования в качестве сверхоперативного запоминающего устройства с возможностью организации на одном из регистров счетчика с увеличением содержимого на +1. На БИС ОИ возможно построение памяти с интегрированными возможностями, вытекающими из раздельности и независимости задания различных режимов. Возможно производить непосредственную передачу информации с одной магистрали на другую через любой регистр, кроме регистра RGO. Магистрали ДА, ДВ, ДС предназначены для работы на короткие линии связи, магистраль ДХ может работать на длинные согласованные линии связи.

УСЛОВНОЕ ОБОЗНАЧЕНИЕ И НАЗНАЧЕНИЕ ВЫВОДОВ



- 1, 3, 5, 41 — входы адреса регистра при обмене информацией с каналами В, С, X, А, разряд 0
- 2, 4, 40, 42 — входы адреса регистра при обмене информацией с каналами С, X, А, В, разряд 1
- 10, 13, 31, 33 — входы/выходы информации каналов X, С, В, А, разряд 1
- 7, 9, 34, 35 — входы/выходы информации каналов С, X, В, А, разряд 2
- 6, 8, 36, 37 — входы/выходы информации каналов С, X, В, А, разряд 3
- 12, 14, 29, 30 — входы/выходы информации каналов X, С, В, А, разряд 0
- 11, 38 — общий
- 15, 16, 25, 26 — входы считывания информации каналов С, X, А, В
- 17, 19, 22, 24 — входы разрешения обмена информацией с каналами X, С, В, А
- 18, 20, 21, 23 — входы записи информации каналов X, С, В, А
- 17 — вход переноса
- 28 — выход признака равенства содержимого R0 и R3
- 32 — питание
- 39 — выход переноса

СТРУКТУРНАЯ СХЕМА

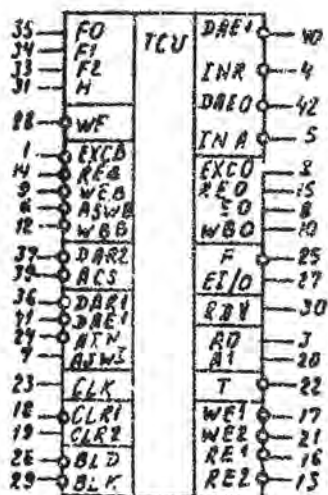


МИКРОСХЕМА КР1802ВВ2

СХЕМА ИНТЕРФЕЙСА

БИС КР1802ВВ2 предназначена для использования в однопроцессорных или многопроцессорных вычислительных системах в качестве схемы управления обменом информацией по совмещенной магистрали с асинхронной дисциплиной обмена. БИС интерфейса выполняет следующие операции: управление обменом информацией; совместная работа со схемой ОИ (обмен информацией) или другими схемами; обеспечивающими буферизацию приема и выдачи информации; упорядочивание использования информационных линий и линий сигналов сопровождения информации магистрали.

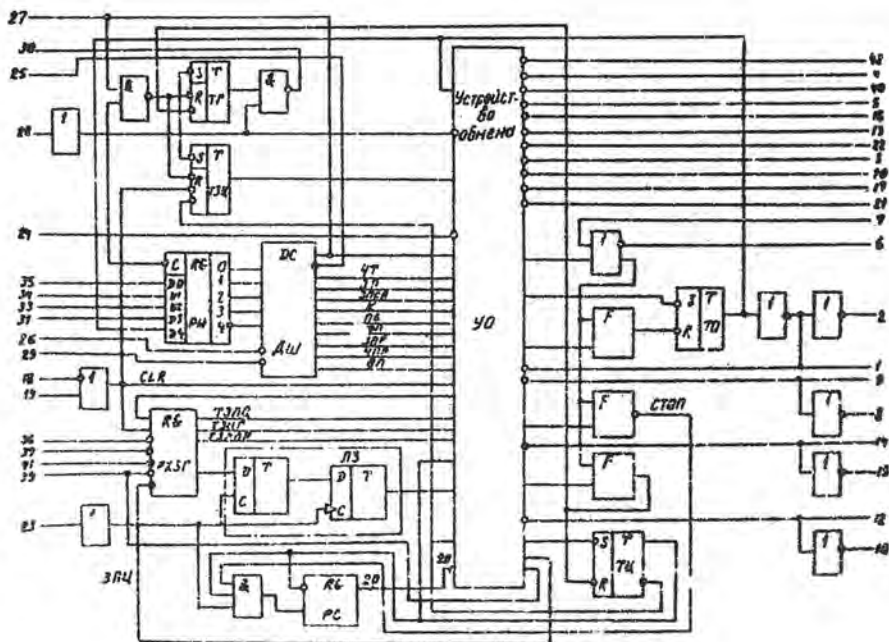
УСЛОВНОЕ ОБОЗНАЧЕНИЕ И НАЗНАЧЕНИЕ ВЫВОДОВ



- 1 — вход/выход синхронизации устройства
- 2 — выход синхронизации устройства
- 3, 20 — выходы адреса, разряды 0, 1
- 4 — выход запроса прерывания
- 5 — выход разрешения прерывания
- 6 — вход/выход ответа
- 7 — вход ответа
- 8 — выход разрешения записи
- 9 — вход/выход разрешения записи
- 10 — выход записи байта
- 11, 38 — общий
- 12 — вход/выход записи байта
- 13, 16 — выход чтения 2, 1
- 14 — вход/выход разрешения чтения
- 15 — выход разрешения чтения
- 17, 21 — выход записи 1, 2
- 18, 19 — вход сброса 1, 2
- 22 — выход синхронизации счетчика
- 23 — вход синхронизации
- 24 — вход разрешения прерывания
- 25 — выход фиксации пути

- 26 — вход блокировки чтения/записи данных
- 27 — выход разрешения внутреннего обмена
- 28 — вход записи микроинструкций
- 29 — блок блокировки чтения команды
- 30 — выход готовности
- 31 — вход определения главного процессора
- 32 — питание
- 33, 34, 35 — входы микроинструкции, разряды 2...0
- 36 — вход запроса прямого доступа
- 37 — вход/выход запроса прямого доступа
- 39 — вход/выход подтверждения выборки
- 40 — выход подтверждения прямого доступа
- 41 — вход разрешения прямого доступа
- 42 — выход разрешения прямого доступа

СТРУКТУРНАЯ СХЕМА

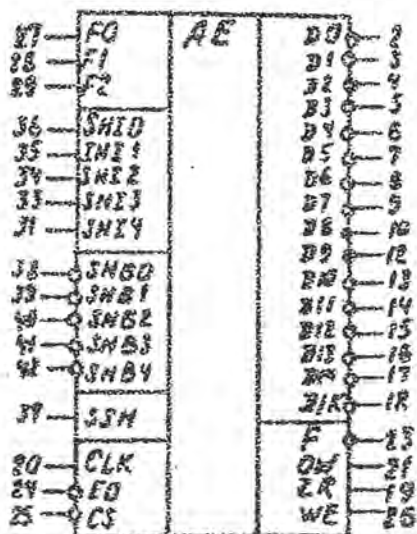


МИКРОСХЕМА КР1802ВР1

АРИФМЕТИЧЕСКИЙ РАСШИРИТЕЛЬ

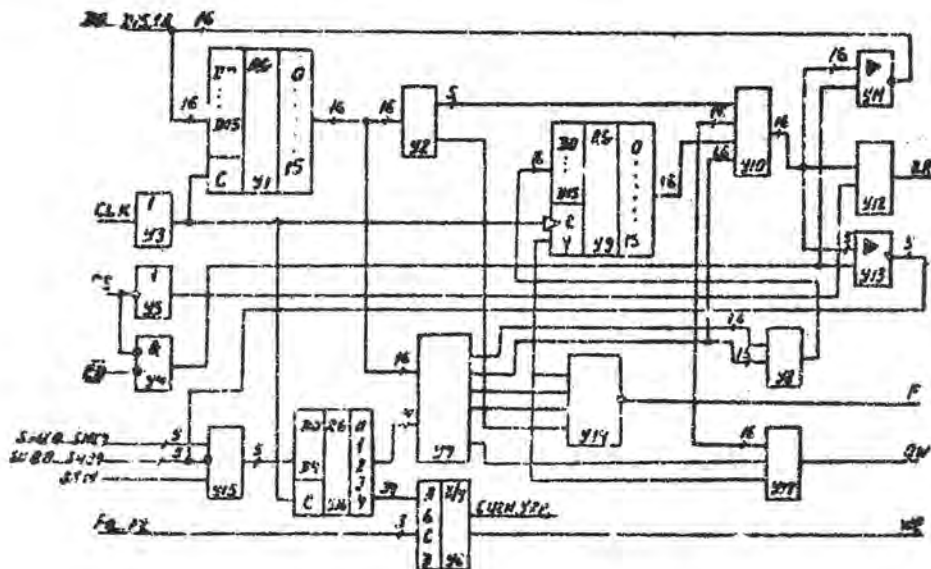
БИС КР1802ВР1 предназначена для реализации устройств, осуществляющих сдвиги арифметически, логические, циклические, а также поиск единичного бита. БИС арифметического расширителя является 16-ти разрядным вспомогательным блоком микропроцессора и имеет одноктактовую схему синхронизации. БИС выполняет следующие операции: расширенные влево и вправо сдвиги арифметические, логические за один цикл на произвольное число разрядов; поиск номера левого единичного бита; сдвиг за несколько циклов информации разрядностью больше 16-ти (32, 48 и т.д.).

УСЛОВНОЕ ОБОЗНАЧЕНИЕ И НАЗНАЧЕНИЕ ВЫВОДОВ



- 1, 11, 22 — общий
- 2...10, 12...18 — входы/выходы информации, разряды 0...15
- 19 — выход признака нуля
- 20 — вход синхронизации
- 21 — выход признака переполнения
- 23 — выход признака
- 24 — вход разрешения выдачи информации
- 25 — вход выбора микросхемы
- 26 — выход разрешения записи результата
- 27...29 — входы кода микрокоманды, разряды 0...2
- 31, 33...36 — входы внешнего параметра сдвига, разряд 4...0
- 32 — питание
- 37 — вход выбора параметра сдвига
- 38...42 — входы/выходы параметра сдвига, разряды 0...4

СТРУКТУРНАЯ СХЕМА

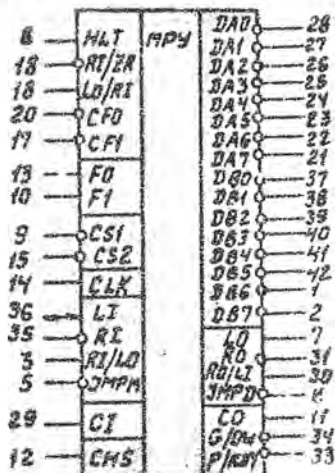


МИКРОСХЕМА КР1802ВР2

СХЕМА УМНОЖИТЕЛЯ

Схема умножителя КР1802ВР2 представляет собой умножитель 8×8 разрядов и предназначена для построения устройств умножения и деления двоичных кодов и устройств умножения чисел, представленных в дополнительном коде. Микросхема КР1802ВР2 выполняет следующие операции: умножение восьмиразрядных целых чисел, представленных в дополнительном коде; умножение восьмиразрядных кодов; деление кодов; загрузка старшего слова делимого; чтение результата.

УСЛОВНОЕ ОБОЗНАЧЕНИЕ И НАЗНАЧЕНИЕ ВЫВОДОВ



- 1, 2, 37, ... 42 — входы/выходы информации ДВ, разряды 0...7
- 21 ... 28 — входы/выходы информации ДА, разряды 7 ... 0
- 3 — вход в седьмой разряд $RG3$ / выход из седьмого разряда $RG3$
- 4, 19 — общий
- 5 — выход для запуска счетчика циклов при умножении, вход для запуска счетчика циклов при делении
- 6 — выход для запуска счетчика циклов при делении, вход для запуска счетчика циклов умножения
- 7 — выход из седьмого разряда $RG2$, выдача 1 или 0, выход признака знака

- 8 — вход/выход сигнала «Останов»
- 9, 15 — вход выбора микросхемы 1, 2
- 10, 13 — вход микроинструкций, разряд 1, 0
- 11 — выход переноса
- 12 — вход определения старшего кристалла
- 14 — вход синхронизации
- 16 — вход в шестой разряд RG1 (выход признака «0»)
- 17, 20 — вход/выход сигналов управления микрооперациями, разряды 1, 0
- 18 — выход из седьмого разряда RG1/вход в седьмой разряд RG1, выход признака, «расширение»
- 29 — вход переноса
- 30 — выход первого разряда RG3/вход в нулевой разряд RG3
- 31 — выход нулевого разряда RG3
- 32 — питание
- 33 — выход распространения переноса/выход признака «готов»
- 34 — выход генерации переноса/выход переполнения
- 35 — вход в шестой разряд RG3
- 36 — вход в нулевой разряд RG2

СТРУКТУРНАЯ СХЕМА

